

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-76481

⑤ Int.Cl.⁴

H 01 L 29/78

識別記号

3 0 1

庁内整理番号

Z-8422-5F

④ 公開 昭和63年(1988)4月6日

審査請求 未請求 発明の数 2 (全7頁)

⑬ 発明の名称 半導体装置及びその製造方法

⑭ 特 願 昭61-219560

⑮ 出 願 昭61(1986)9月19日

⑯ 発 明 者 堀 内 勝 忠 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑯ 発 明 者 山 口 憲 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑰ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑱ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

1. 半導体基板の主表面上に第1の絶縁膜を介して構成されたゲート電極と、該ゲート電極端と自己整合で、かつゲート電極下部まで延在され半導体基板内に埋込まれた第2の絶縁膜とを有し、該第2の絶縁膜上部でかつゲート電極下部領域内の半導体基板内のみソースまたはドレイン接合が設けられていることを特徴とする半導体装置。

2. 特許請求の範囲第1項記載の半導体装置に於て、ソースまたはドレイン引出し電極下部に延在する該第2の絶縁膜の厚さは、ゲート電極下部領域の該第2の絶縁膜厚より厚く構成されていることを特徴とする半導体装置。

3. 特許請求の範囲第1項または第2項記載の半導体装置に於て、第1の絶縁膜と第2の絶縁膜で挟まれた半導体基板の厚さは100nm乃至

10nmで構成されることを特徴とする半導体装置。

4. 半導体基板の主表面上に第1の絶縁膜を形成する工程、該第1の絶縁膜上にゲート電極を形成する工程、該ゲート電極をマスク材の一部として半導体基板内で打込み量の最大値を有し、かつ打込み領域が非晶質になる条件でイオン打込みを行う工程、該非晶質領域に達するごとく第1の絶縁膜、及び半導体基板の所望領域に開孔を施す工程、非晶質領域を選択的に除去する工程、該選択除去領域の少なくとも一部に第2の絶縁膜を形成する工程、該第2の絶縁膜上の一部に不純物が導入された半導体薄膜、又は金属硅化膜、あるいは高融点金属膜の単層膜、又は多層膜を形成する工程、を有することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は半導体装置とその製造方法に係り、特に高耐圧化、及び超高速動作化に好適な超微細

MOS型電界効果トランジスタに関する。

〔従来の技術〕

通常構造MOS型電界効果トランジスタ（以降単にトランジスタと略記する）のソース・ドレイン拡散領域底面に絶縁膜を設けることにより拡散層容量を低減化し、動作速度を改善する手法は実開昭56-108269号、及び特願昭60-78356号として出願されており公知である。後者の公知例の主構造を第2図に示す。図に於てp型シリコン基板1表面上にゲート絶縁膜3、ゲート電極4、ゲート層間絶縁膜5、ゲート側壁絶縁膜61、ソース・シリサイド層13、ソース金属電極16、ドレイン・シリサイド層14、ドレイン金属電極17、表面安定化絶縁膜15等で構成されている。シリコン基板1内部にはフィールド絶縁膜2、多結晶シリコン膜によるソース引出し電極9及びドレイン引出し電極10、各引出し電極をシリコン基板より分離する厚い埋込み絶縁膜71、各引出し電極9、10を不純物拡散源として形成されたN型ソース拡散領域111及びN型ドレイン拡散領域

の低下、及びドレイン強電界による空乏層の2次元分布により、閾電圧値が低下するいわゆる短チャネル効果、等の基本的問題が生ずることはよく知られている。しかるに上記の諸問題の克服に関し第2図のごとき従来のトランジスタは何ら有効でなく、超微細トランジスタとしては不適當である。すなわち、同一寸法トランジスタとしての比較に於ては寄生容量の低減により相対的に高速化は図れるものの、寸法の微細化による電流、又は利得の増大に基づく高速化は達成できない。

本発明の目的はソース・ドレイン寄生容量の低減化を図りつつ、さらにソース・ドレイン間耐圧の向上や短チャネル効果が改善された超微細トランジスタ及びその製造方法を提供することにある。

本発明の他の目的は単体トランジスタの超微細化、高性能化にとどまらず、インバータ回路のごときトランジスタが組合された半導体装置に関し、その一体化構造を提供することにある。

〔問題点を解決するための手段〕

本発明は超微細トランジスタの高耐圧化を検討

121等が構成されている。埋込み絶縁膜71がシリコン酸化膜（以降 SiO_2 と称する）で構成される場合、不純物濃度 $1 \times 10^{18} \text{cm}^{-3}$ のシリコン基板1内に形成されたn+p拡散層接合における単位面積当りの容量は50nm厚 SiO_2 膜容量とほぼ等しい為、埋込み絶縁膜71の膜厚を300nmに設定した第2図のごときトランジスタに於ては通常トランジスタに比してソース・ドレイン拡散層底面容量を約1/6に低減できる。したがって、通常トランジスタより高速動作が可能となる利点を有している。

〔発明が解決しようとする問題点〕

ソース・ドレイン拡散層が引出し電極とその下部の埋込み絶縁膜で置換えられた第2図のごとき構造を有するトランジスタは接合容量の低減の観点から高速動作が可能となるが、トランジスタの微細化に伴う諸限界の克服の点については配慮がなされていない。チャネル長が $1 \mu\text{m}$ 以下の超微細化トランジスタに於ては電崩降服現象、又はパンチスルー現象に基づくソース・ドレイン間耐圧

する過程に於て、ゲート電極直下の極浅い領域を除いたドレイン接合側面部に厚い SiO_2 膜を構成し、接合内部の拡散層領域の電流経路を確保する様に深く構成すれば、パンチスルー耐圧の向上と電流利得の改善に極めて有効である事を解析的に見出した事実に基づく、上記構成を実現する為にはゲート電極下部の半導体基板内に制御性よく SiO_2 膜を埋込む手法が要求される。上記手法として本発明に於てはイオン打込みによる単結晶基板の選択的非晶質化と非晶質領域の選択除去現象を用いてゲート電極端と整合してゲート電極下部の半導体基板内部に空孔を設けた。上記空孔のゲート下部部分に SiO_2 膜を埋込むことにより上記構成は達成される。尚、非晶質層の選択除去には熱燐酸溶液を用いたが、上記は本発明に関連して新たに見出したものである。

〔作用〕

ゲート長が $0.5 \mu\text{m}$ 以下の超微細トランジスタの高耐圧、高利得化を本発明に基づいて実現する場合、ゲート電極下で埋込み SiO_2 上の半導

体層の膜厚さ、及び埋込み SiO_2 膜のドレイン電界方向の厚さが耐圧特性に重大な影響を及ぼす。本発明構造に関する特性解析によれば、高耐圧特性の達成の為には半導体基板表面部から埋込み SiO_2 膜領域までの間隔、すなわち、電流の主経路でチャネルが形成される半導体表面部は100 nm以下でチャネル厚さ以上に制御すること、ソース側及びドレイン側からゲート電極下部に延在される埋込み SiO_2 膜が接触しない程度になるべく厚く構成することなどが要求されることが明らかになった。尚、ソース、ドレイン埋込み SiO_2 膜が接し、埋込み SiO_2 膜によつてチャネル領域が半導体基板より隔離された構成に於ては基板電位が固定されない為、高速動作時に過渡現象が生じ誤動作を起すことがあり好ましくない。

上記の特性解析に基づく素子構造を実現する上で、半導体基板内部に SiO_2 を埋込み、表面領域は単結晶性を保持する手法が必須である。イオン打込みによる非晶質層の形成は被打込み基板、打込みイオン種、打込み量、加速エネルギーにより

決定され、制御性、再現性共断然優れている。表面領域の単結晶性を保持したまま深部を非晶質化することも容易であり、従つて非晶質領域だけを選択的に除去できれば極薄の単結晶層を表面部分に制御性よく残置したまま下部に SiO_2 膜を埋込む事ができる。本発明に於ては非晶質層が熱燐酸溶液で極めて選択性よく除去できる事を見出し、上記構造を実現することが可能となつた。尚、イオン打込みにより形成される非晶質領域はマスク端から水滴状にマスク内部に広がる特性を有し、鋭角形状にはならない。したがつて非晶質領域界面の欠陥層を除去しさえすればその後の熱工程に於ても結晶欠陥発生等の不良を生ずる心配がない。さらに非晶質層形成後、同領域は完全に除去するため、イオン打込み種として何を用いても後工程に影響を残すこともない。

〔実施例〕

以下、本発明を実施例によつてさらに詳細に説明する。説明の都合上、図面をもつて説明するが要部が拡大して示されているので注意を要する。

また、説明を簡明にするため各部の材質、半導体層の導電型を規定して述べるが材質、導電型はこれに限定されるものでないことは言うまでもない。

実施例 1

第3図(A)～(E)は本発明の第1の実施例を製造工程順に示す断面図である。P型シリコン基板1の所定領域に公知の素子間分離技術を用いてフィールド酸化膜2を形成した後、約15 nm厚のシリコン酸化膜3を熱酸化法により形成し、続いてシリコン薄膜を形成する。シリコン薄膜には POCl_3 を拡散源とする熱拡散により燐の高濃度拡散を行ない、しかる後、燐が僅かに添加されたシリコン酸化膜、及びシリコン窒化膜を逐次堆積した。続いて、シリコン薄膜、シリコン酸化膜、シリコン窒化膜からなる重合せ膜を公知の写真蝕刻法により加工し、ゲート電極4及びゲート保護絶縁膜5及び18を形成した。次に全面にシリコン窒化膜19を形成した。この状態に於て、砒素イオンを加速エネルギー1000KeV、注入量 $5 \times 10^{19} \text{ cm}^{-2}$ の条件でイオン打込みを施した。上記条件の

イオン打込みにより表面から $0.2 \mu\text{m}$ 深さまでは単結晶性を示し、その下部に $0.8 \mu\text{m}$ 厚さで非晶質層20が形成される(第3図(A))。

この状態より $0.5 \mu\text{m}$ 厚のシリコン酸化膜をモノシラン(SiH_4)の低温化学気相反応により堆積した後、スパッタリングエッチ法によりシリコン基板1表面と垂直方向にのみエッチングしてゲート側壁絶縁膜21をゲート電極4の側壁にのみ残置した。尚、ゲート側壁絶縁膜は非晶質層20の結晶性回復が無視される 500°C 以下の低温で形成されることが望ましく、従つてスパッタ法、蒸気法、塗布法等の他の手法や、他の絶縁膜を用いてもよい。次にゲート側壁絶縁膜21をマスクにしてシリコン窒化膜19、ゲート絶縁膜3、及び単結晶シリコン基板1の表面近傍領域をスパッタエッチング法により除去した。続いて、上記工程により露出された非晶質層19を 160°C に加熱された燐酸(H_3PO_4)溶液により選択的に除去した。非晶質層19と単結晶シリコン基板1の界面に薄く分布しているイオン打込み工程に基

づく結晶欠陥層も弗硝酸溶液で軽くエッチングし除去した(第3図(B))。

第3図(B)の状態よりゲート側壁絶縁膜21を除去した後、シリコン窒化膜19で覆われていないシリコン基板1表面を選択的に酸化し、埋込み絶縁膜72を形成した。しかる後、埋込み絶縁膜72により形成された凹部を埋めるごとく厚い多結晶シリコン膜(又は非晶膜シリコン膜)を堆積してから埋込み絶縁膜72面が露出するまで反応性スパッタエッチング法により除去して、ソース引出し電極9及びドレイン引出し電極10を殘置形成する(第3図(C))。

第3図(C)の状態において、シリコン酸化膜で構成されるゲート保護絶縁膜5をマスクにして露出しているシリコン窒化膜19、ゲート絶縁膜3、及びゲート側壁下部のシリコン基板1表面部分をシリコン基板1表面と垂直方向にのみエッチングし、ゲート電極4端と自己整合的に埋込み絶縁膜72表面を露出させる。この状態より露出された埋込み絶縁膜72を垂直方向にエッチングし、

イン引出し電極10、101内に於ける不純物拡散速度は単結晶シリコン基板内に比べて極めて速く、したがって上記の各引出し電極内での砒素濃度はほぼ均一分布となる。上記各引出し電極内での砒素濃度は $3 \times 10^{18} \text{cm}^{-3}$ となる様に砒素イオン打込み量を設定した。またソース接合領域11、及びドレイン接合領域にも埋込み絶縁膜12上にのみ設定される様にシリコン基板内への接合拡がり $0.1 \mu\text{m}$ 程度に設定した(第3図(D))。

次にソース引出し電極91、及びドレイン引出し電極101上に公知のシリサイド化技術を用いてチタニウム(Ti)のシリサイド層を選択的に形成しソースシリサイド電極13及びドレインシリサイド電極14とした。続いて公知の表面安定化技術に基づいて膜がわずかに添加されているシリコン酸化膜を堆積し、表面安定化絶縁膜15とした。さらに公知の電極配線形成技術に基づいて、表面安定化絶縁膜15の所望領域への開孔とアルミニウム(Al)膜によりソース金属電極16、ドレイン金属電極17を含む配線、及び電極を構

下地の多結晶シリコン膜面が露出したところでエッチングを停止する。次にシリコン窒化膜19を除去してから、800℃の低温湿式熱酸化を施し、膜が高濃度に導入されているゲート電極4の側壁及び上面部に厚いシリコン酸化膜を形成し、ゲート保護絶縁膜51とした。この工程でゲート側壁下部で露出されているシリコン基板面、ソース引出し電極9、及びドレイン引出し電極10表面部にも薄い酸化膜が形成されるが、上記領域上の薄い酸化膜は除去する。この状態より、再び多結晶シリコン膜(又は非晶質シリコン膜)を全面に厚く堆積してから、平坦化エッチングを施し、ソース引出し電極9上及びドレイン引出し電極10上に各々第2のソース引出し電極91及び第2のドレイン引出し電極101を選択的に殘置させた。続いてソース引出し電極9、91、ドレイン引出し電極10、101に砒素イオンを打込み、その活性化と拡散のための熱処理によりソース接合領域11とドレイン接合領域12をシリコン基板1内に形成した。ソース引出し電極9、91及びドレ

成した(第3図(E))。

上記の製造工程を経て製造された半導体装置に於て、ゲート電極4下部に構成されるソース・ドレイン接合はチャネルとの接合部を除いて埋込み絶縁膜72で置換えられており、かつその領域は非晶質層形成イオン打込み条件と熱酸化による埋込み絶縁膜の形成膜厚により決定される。バードピークやバードヘッドと通称されるごとき選択酸化特有の酸化膜成長とも無縁である。従つてシリコン基板1内に構成されるソース・ドレイン接合領域11及び12を極めて精度よく、かつ極めて薄く制御することができる。本実施例に基づき製造された半導体装置、実効チャネル長が0.3

μm の超微細トランジスタに於て、埋込み絶縁膜10の膜厚を制御し埋込み絶縁膜上の単結晶シリコン層厚が0.15, 0.1, 0.05, 及び0.01 μm となる様に設定し、上記薄い単結晶シリコン層部にソース接合領域11及びドレイン接合領域12を設置した。上記、各種の薄い単結晶シリコン層を有するトランジスタのパンチスル耐圧を測

定したところ、各々3.5、6、10及び13Vと単結晶シリコン厚層が薄くなるほど高耐圧化の傾向が見られた。しかしながら0.15 μ m厚の単結晶シリコン層のトランジスタに関しては埋込み絶縁膜72のない通常構造トランジスタのパンチスル耐圧と差異はなく、単結晶シリコン厚層は0.1 μ m以下の極薄であることが望ましいことが判明した。上記傾向は埋込み絶縁膜12の膜厚を厚く構成する方向と一致しており、従つてソース・ドレイン容量の低減効果を増長する好ましいものである。さらに埋込み絶縁膜12上の単結晶シリコン厚層が0.05 μ m以下の本実施例に基づくトランジスタに於ては実効チャネル長の短少化と共に閾電圧値が低下する。いわゆる短チャネル効果もほとんど見られなかつた。短チャネル効果の解消、及びパンチスル耐圧の向上特性はドレイン強電界がドレイン接合側底部部分では埋込み絶縁膜12と抑制され、いわゆる二次元効果が解消されたためと考えられる。

実施例2

に堆積した。堆積されたシリコン酸化膜を基板1表面と垂直方向のエッチングによりゲート電極4直下で非晶質層20が除去された凹部にのみ残置される様に処置し埋込み絶縁膜7を形成した。この状態で露出されているシリコン基板面を熱酸化し、底面絶縁膜8を形成した。しかる後、前記第1の実施例に従いソース引出し電極(I)9、及びドレイン引出し電極10を形成した(第4図(B))。

第4図(B)の状態に於て、ゲート電極4側壁のシリコン酸化膜を除去した後、前記第1の実施例に従つて低温湿式酸化法によりゲート電極4の側壁部に厚いシリコン酸化膜を形成し、ゲート側壁絶縁膜6とした。この工程中に露出されたシリコン基板面に形成される薄いシリコン酸化膜を除去した後、前記第1の実施例に基づいてソース引出し電極91及びドレイン引出し電極101を形成した(第4図(C))。

しかる後、前記第1の実施例に基づきソース接合領域11、及びドレイン接合領域12、ソース

第4図(A)乃至(C)及び第1図は本発明の第2の実施例を製造工程順に示した断面図である。前記第1の実施例に於て、ゲート電極4、ゲート保護絶縁膜5の形成の後、ゲート保護絶縁膜5をマスクにしてシリコン基板1を0.05 μ m厚さだけ垂直エッチングを施し、全面に薄いシリコン窒化膜19を形成した。シリコン窒化膜19は薄いシリコン酸化膜をシリコン窒化膜の重合せ膜であつてもよい。上記のシリコン窒化膜19を基板と垂直方向にのみエッチングし、ゲート電極4側壁、及びゲート電極4側壁下部のシリコン基板1側面にのみ選択的に残置させた。この状態よりAsを150KeVの加速エネルギー、 $1 \times 10^{18} \text{cm}^{-2}$ の注入量の条件でイオン打込みし非晶質層20を形成した(第4図(A))。

この状態より、上記第1の実施例に従い非晶質層20を選択的に除去した後、露出されたシリコン基板1面に薄い酸化膜を熱酸化膜法により形成し、続いてテトラエトキシシラン($\text{Si}(\text{OC}_2\text{H}_5)_4$)の化学気相反応により厚いシリコン酸化膜を全面

シリコンサイド電極13、ドレインシリサイド電極14、表面安定化絶縁膜15、及びソース金属電極16、ドレイン金属電極17を含む所望の電極及び配線層を構成した(第1図)。

上記の製造工程を経て製造された半導体装置は埋込み絶縁膜7と底面絶縁膜8が別工程により独立に構成される為、埋込み絶縁膜7のゲート電極4下部への横方向拡がりを前記第1の実施例に比べてさらに自由に制御することができる。尚、本発明の特許請求の範囲第2項に於て、ゲート電極下部領域の第2の絶縁膜すなわち埋込み絶縁膜7の厚さの定義は埋込み絶縁膜7の横方向拡がり成分で表わすものである。本実施例に基づき、実効チャネル長が0.3 μ m、埋込み絶縁膜7上の単結晶シリコン厚層が0.075 μ mの超微細トランジスタを埋込み絶縁膜7の膜厚(横方向膜厚)を種々制御して製造し、そのパンチスル耐圧を測定した。埋込み絶縁膜7の膜厚が0.1、0.2及び0.3 μ mの各素子のパンチスル耐圧は膜厚の増加と共に上昇し、各々5.5、8及び10.5V

となつた。すなわち、本実施例に基づけば、底面絶縁膜8膜厚と独立に埋込み絶縁膜7膜厚を厚く設定でき、したがってパンチスル耐圧の向上を容易に達成することができる。さらに底面絶縁膜8と埋込み絶縁膜7の各膜厚を独立に設定させる手法として本実施例に於ては埋込み絶縁膜7を薄い熱酸化膜と化学気相反応による堆積膜の重合せ膜により構成している。したがって厚い絶縁膜を熱酸化法により形成させる時に生ずるとき長時間の高温熱処理や、厚い熱酸化膜の形成に基づく体積膨張をさける事ができる。このため、製造工程中の結晶欠陥の発生等を極力低減させることも可能となつた。

〔発明の効果〕

本発明に基づけばソース・ドレイン接合の不必要部分をほとんど埋込み絶縁膜で置換えられるので寄生容量を低減化できるが、さらに超微細トランジスタの高パンチスル耐圧化、及び短チャネル効果の解消など超微細トランジスタの高耐圧・大電流化を達成できるので其の意味で半導体装置の

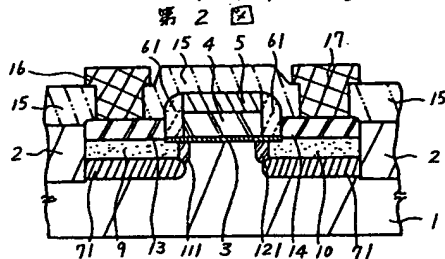
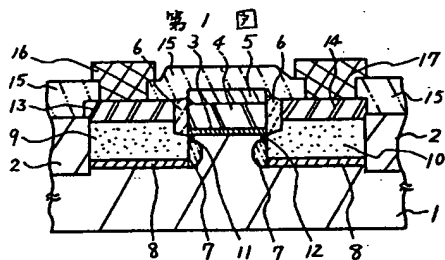
高速化を実現できる効果がある。さらに本発明によれば上記効果を達成する為の埋込み絶縁膜の構成をイオン打込みの条件と酸化膜形成膜厚のみで制 できるので制御性、及び再現性が極めて優れている。

尚、前記した各実施例に於て、説明の都合上、一種類の製造条件を定量化して説明したがそれらは単なる一例であり、他の製造条件に基づいても本発明の精神を逸脱しない。

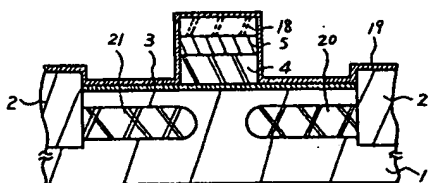
4. 図面の簡単な説明

第1図は本発明の代表例を示す図で第2の実施例の半導体装置の断面を示す図、第2図は従来の半導体装置の断面を示す図、第3図(A)乃至(E)は本発明の第1の実施例を製造工程順に示す図、第4図(A)乃至(E)は本発明の第2の実施例を製造工程順に示す断面図である。

代理人 弁理士 小川勝男

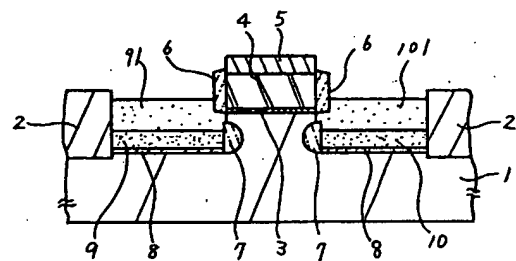


第3図
(A)



3 ゲート絶縁膜 8 底面絶縁膜 11 Y-スラグ領域
4 ゲート電極 9 ソース領域 12 ドレイン領域
7 埋込み絶縁膜 10 ドレイン領域 20 非晶質層

第4図
(C)



4 ゲート電極 7 埋込み絶縁膜 10 ドレイン引出し電極(I)
5 ゲート保護絶縁膜 8 底面絶縁膜 9I ソース引出し電極(I)
6 ゲート側壁絶縁膜 9 ソース引出し電極(II) 10I ドレイン引出し電極(II)

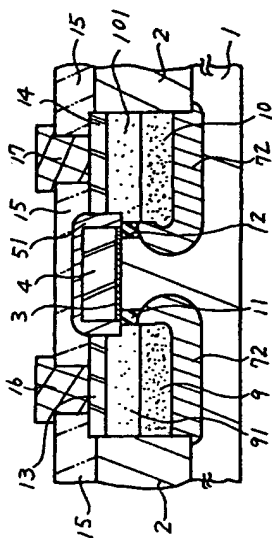
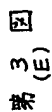
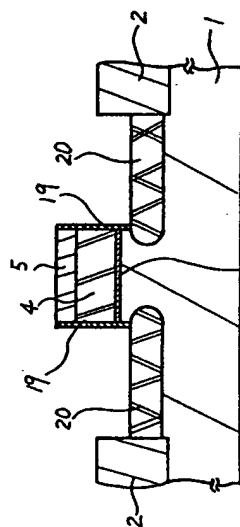
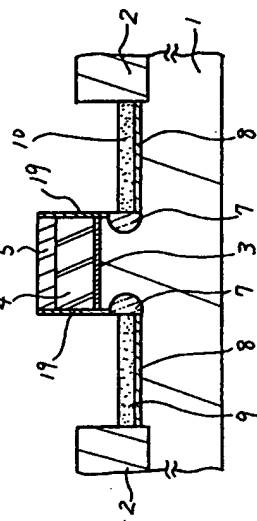


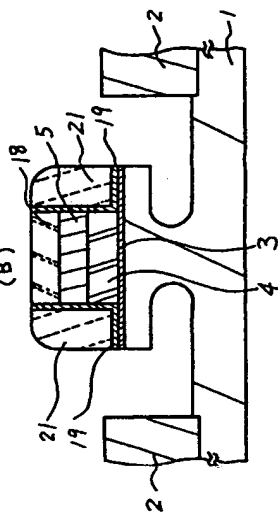
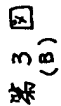
圖 4 (A)



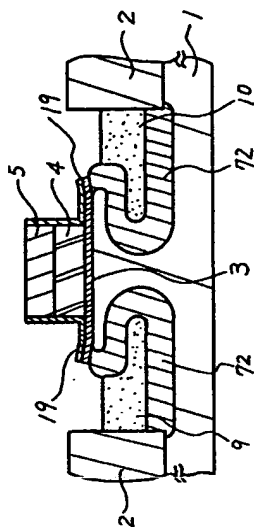
(B)



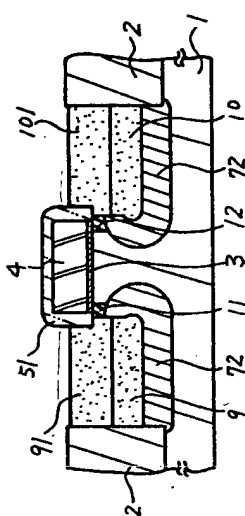
7	埋込み絶縁膜	14	トランジスタ電極	72	埋込み絶縁膜
5	ゲート保護絶縁膜	13	ノースリット電極	20	非晶質層
4	ゲート電極	8	底面絶縁膜	19	シリコン酸化膜



(c)



(3)



9 ソース引出(電極) 12 ドレイン接合領域 72 埋込み絶縁被膜
10 ドレイン引出(電極) 21 ゲート側絶縁被膜 91 ソース引出(電極)(工)
11 ソース接合領域 51 ゲート保護絶縁膜 101 ドレイン引出(電極)(工)

9-2-

9/1-As

Q. - Source Library ele hndla

91 - Source leading electrode

10-- Drain Landing --

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **63-076481**

(43)Date of publication of application : **06.04.1988**

(51)Int.Cl.

H01L 29/78

(21)Application number : **61-219560**

(71)Applicant : **HITACHI LTD**

(22)Date of filing : **19.09.1986**

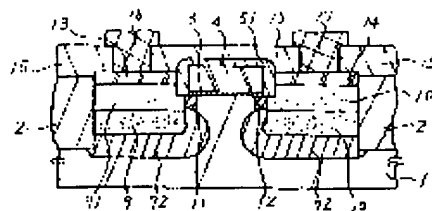
(72)Inventor : **HORIUCHI KATSUTADA
YAMAGUCHI KEN**

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To build a supermicrostructural transistor with its source/drain capacity reduced and source/drain voltage withstanding capability and short channel feature improved by a method wherein a source or drain junction is formed only at a location over a buried insulating film extending as far as under a gate electrode and under the gate electrode.

CONSTITUTION: On the primary surface of a semiconductor substrate 1, a gate electrode 4, formed through the intermediary of a first insulating film 3, and a second insulating film 72, formed by self-alignment with the end of the gate electrode 4, are provided. The second insulating film 72 is allowed to extend as far as under the gate electrode 4 and buried in the semiconductor substrate 1. A source or drain junction 11 or 12 is formed only to occupy the location between the upper end of the second insulating film 72 and the lower end of the gate electrode 4. The second insulating film 72, for example, is subjected to ion implantation, whereby its inner portion becomes amorphous while its surface region retains its single-crystal feature. Only the amorphous region is selectively removed, and then vacancy is created inside the semiconductor substrate 1 at a portion under the gate electrode 4 by self-alignment with an end of the gate electrode 4. In the vacancy, at a portion under the gate electrode 4, an SiO₂ film is buried, for the completion of the device.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

CLIPPEDIMAGE= JP363076481A

PAT-NO: JP363076481A

DOCUMENT-IDENTIFIER: JP 63076481 A

TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUBN-DATE: April 6, 1988

INVENTOR-INFORMATION:

NAME

HORIUCHI, KATSUTADA

YAMAGUCHI, KEN

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP61219560

APPL-DATE: September 19, 1986

INT-CL (IPC): H01L029/78

US-CL-CURRENT: 257/345, 257/410 , 438/158 , 438/FOR.185

ABSTRACT:

PURPOSE: To build a supermicrostructural transistor with its source/drain capacity reduced and source/drain voltage withstanding capability and short channel feature improved by a method wherein a source or drain junction is formed only at a location over a buried insulating film extending as far as under a gate electrode and under the gate electrode.

CONSTITUTION: On the primary surface of a semiconductor substrate 1, a gate electrode 4, formed through the intermediary of a first insulating film 3, and a second insulating film 72, formed by self-alignment with the end of the gate

electrode 4, are provided. The second insulating film 72 is allowed to extend as far as under the gate electrode 4 and buried in the semiconductor substrate

1. A source or drain junction 11 or 12 is formed only to occupy the location between the upper end of the second insulating film 72 and the lower end of the gate electrode 4. The second insulating film 72, for example, is subjected to ion implantation, whereby its inner portion becomes amorphous while its surface region retains its single-crystal feature. Only the amorphous region is selectively removed, and then vacancy is created inside the semiconductor substrate 1 at a portion under the gate electrode 4 by self-alignment with an end of the gate electrode 4. In the vacancy, at a portion under the gate electrode 4, an SiO_2 film is buried, for the completion of the device.

COPYRIGHT: (C)1988,JPO&Japio

DERWENT-ACC-NO: 1988-135522
DERWENT-WEEK: 198820
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Semiconductor device that can operate at high speed
- has silicon film
embedded in hollow formed inside of substrate below gate
electrode NoAbstract
Dwg 3e/3

PATENT-ASSIGNEE: HITACHI LTD [HITA]

PRIORITY-DATA:
1986JP-0219560 (September 19, 1986)

PATENT-FAMILY:		LANGUAGE
PUB-NO	PUB-DATE	
PAGES	MAIN-IPC	
JP 63076481 A	April 6, 1988	N/A
009	N/A	

APPLICATION-DATA:		APPL-NO
PUB-NO	APPL-DESCRIPTOR	
APPL-DATE		
JP 63076481A	N/A	1986JP-0219560
September 19, 1986		

INT-CL (IPC): H01L029/78
ABSTRACTED-PUB-NO:

EQUIVALENT-ABSTRACTS:

DERWENT-CLASS: L03 U12

CPI-CODES: L04-E01B1;

EPI-CODES: U12-D02A; U12-E01;